

PROCÉDÉ DE GESTION D'UNE PLURALITÉ DE LECTEURS DE JETONS À PUCE
ELECTRONIQUE ET EQUIPEMENTS DE MISE EN OEUVRE DUDIT PROCÉDÉ

5 La présente invention concerne d'une façon générale le domaine des jetons intégrant une puce électronique et des lecteurs radiofréquence sans contact de ces jetons à puce, ces lecteurs, également lecteur RFID (Radiofrequency Identification), étant susceptibles de travailler en lecture et/ou en écriture.

10 Plus particulièrement mais sans caractère limitatif, l'invention trouve son application dans le domaine des casinos ou des salles de jeu pour la gestion d'un parc important des jetons de jeu, également appelés jetons de casinos, ceux-ci étant répartis entre la banque du casino, les caisses et tables de changé et les tables de jeu. L'utilisation de lecteurs radiofréquence sans contact communiquant avec les puces des jetons facilite le travail de l'exploitant du casino, notamment pour la détection des jetons
15 frauduleux, la localisation et le suivi des jetons dans le casino, le comptage des jetons en nombre et en valeur, la surveillance des transactions aux tables de change ou de jeu, etc..

20 Pour la suite de l'exposé on entend par jeton de jeu tout élément en forme de disque ou de plaque le plus souvent fabriqués en matière plastique rigide. Les jetons présentent des motifs variés en dessins et en couleurs pour former un décor plus ou moins complexe et réduire les risques de falsification et/ou de reproduction frauduleuse. Certains jetons intègrent un circuit électronique à mémoire, ou puce électronique, dans lequel sont stockées des informations concernant le jeton,
25 notamment son numéro de série ou code d'identification et sa valeur numérique. Ces jetons équipés de circuits électroniques à mémoire sont également désignés jetons à puce électronique ou jetons à mémoire électronique. Selon les modèles des jetons, les circuits électroniques sont du type à mémoire simple PROM à lecture seule, à mémoire reprogrammable EEPROM avec possibilité de lecture et/ou d'écriture ou
30 même à microprocesseurs assortis d'une mémoire. Enfin les circuits électroniques des puces ou circuits électroniques comportent un bobinage utilisé pour réaliser un transpondeur radiofréquence sans contact et pour communiquer par couplage magnétique avec les antennes des lecteurs radiofréquence, le champ électrique rayonné par les antennes des lecteurs étant également utilisé pour générer l'énergie
35 électrique nécessaire aux puces. En pratique la communication des signaux porteurs d'information se fait par modulation/démodulation d'une onde porteuse de fréquence préétablie, à titre d'exemple non limitatif de 125 KHz.

DB4599_PCT_DEM_0

On entend également, pour la suite de l'exposé, le terme lecteur dans son sens le plus large comme un dispositif permettant notamment la lecture de la mémoire de la puce et/ou l'écriture en mémoire et ce sans aucun caractère limitatif. Chaque lecteur est associé à une unité de contrôle à microprocesseur de façon à émettre des commandes et des données vers une puce se trouvant dans le champ de l'antenne correspondante et à recevoir et traiter les réponses de celle-ci, certains lecteurs pouvant contrôler à tour de rôle plusieurs antennes. Dans la pratique, on utilise une unité centrale de contrôle de lecteurs gérant une pluralité de lecteurs.

- 10 L'intérêt porté à l'introduction dans les casinos des lecteurs de jetons à puce pousse les exploitants à multiplier leur nombre et à réduire la distance séparant les antennes correspondantes à deux lecteurs distincts. Il en résulte des risques de perturbations dans les communications entre puces et lecteurs d'autant plus gênantes au niveau de la réception vers les lecteurs, l'intensité du signal émis par le bobinage de la puce
- 15 étant beaucoup plus faible que l'intensité du signal émis par l'antenne d'un lecteur. Ainsi la réception par un lecteur peut être sérieusement perturbée par l'émission simultanée de l'antenne d'un lecteur voisin trop proche. Cette situation peu satisfaisante se rencontre lorsque plusieurs lecteurs sont montés assez proches les uns des autres, par exemple sur les tables de change ou sur une même table de jeu,
- 20 telle une table de roulette ou de black-jack où la distance entre antennes peut descendre jusqu'à 30cm. La solution consistant à équiper les tables concernées d'un blindage électromagnétique autour des antennes est peu commode voire difficile à mettre œuvre, souvent par manque de place, et n'apparaît pas au final très efficace.
- 25 L'invention a pour but de proposer un procédé de gestion d'une pluralité de lecteurs radiofréquence sans contact de jetons permettant d'éliminer les perturbations entre lecteurs dues à des opérations de transmissions/réceptions désordonnées, notamment par antennes rapprochées, ou tout du moins d'en réduire très sensiblement les effets sur les communications aller et/ou retour entre lecteurs et
- 30 puces.

A cette fin, l'invention propose un procédé de gestion coordonnée d'une pluralité de lecteurs radiofréquence sans contact de jetons à puce électronique du type dans lequel un cycle courant de transmission/réception Tx/Rx entre un lecteur et les puces

35 accessibles par le lecteur comporte une opération de transmission Tx d'une instruction de commande du lecteur vers les puces suivie d'une opération de réception Rx de la réponse des puces vers le lecteur, caractérisé en ce que les

cycles de transmission/réception Tx/Rx des lecteurs actifs font l'objet d'un processus de synchronisation de façon à grouper dans un premier intervalle de temps les opérations de transmission Tx et à grouper dans un second intervalle de temps les opérations de réception Rx sans chevauchement entre les deux intervalles de temps.

5

Ainsi donc la synchronisation des cycles Tx/Rx par groupage séparé des opérations de transmission Tx d'un côté et des opérations de réception Rx d'un autre côté permet de faire travailler simultanément plusieurs lecteurs à antennes rapprochées, le gain de temps final pour le traitement d'un lot de jetons partagé entre Nx lecteurs actifs simultanément par rapport à un traitement de ce lot par un seul lecteur ou par les Nx lecteurs mais travaillant successivement pour éviter les perturbations mentionnées ci-avant étant bien supérieur au délai introduit par le processus de synchronisation. Il est à noter que les lecteurs concernés par le processus de synchronisation sont les seuls Nx lecteurs alors actifs de la pluralité de NL lecteurs, et pour lesquels un cycle Tx/Rx est en attente, ceci sans préjudice d'un quelconque généralisation ou assimilation d'autres lecteurs de la pluralité si nécessaire, par exemple non limitatif comme il apparaîtra ci-après dans le cas des coupures et rétablissements des courants d'antenne.

20 Selon un mode de mise en œuvre préférentiel du procédé selon l'invention le groupement des opérations de transmission Tx est réalisé de façon telle que les opérations de transmission Tx finissent sensiblement au même instant.

25 Ce regroupement permet de réduire au minimum l'intervalle de temps nécessaire aux transmissions Tx ainsi groupées (en l'occurrence à la durée de transmission Tx la plus longue) et de faire démarrer les opérations de réception Rx immédiatement après l'instant de fin des transmissions Tx de façon à également à réduire l'intervalle de temps nécessaire aux réceptions Rx ainsi groupées à la durée de réception la plus longue.

30

Selon une première variante avantageuse du procédé selon l'invention, le processus de synchronisation comporte :

- une étape de collecte des durées TxL des transmissions Tx des instructions de commande des premiers cycles Tx/Rx en attente des lecteurs actifs (certains protocoles de commandes pouvant prendre la forme d'une suite de plusieurs cycles Tx/Rx), et

35

- une étape d'émission d'ordres d'exécution aux lecteurs actifs des transmissions Tx des instructions de commande des cycles Tx/Rx échelonnés dans le temps et ordonnés selon les durées TxL décroissantes en commençant par le lecteur auquel est affectée l'instruction de commande du cycle Tx/Rx ayant la plus grande durée TxL, le délai entre un ordre d'exécution et son suivant étant égal à la différence des durées TxL des instructions de commande des cycles Tx/Rx à transmettre par les deux lecteurs correspondants, ceci jusqu'à l'ordre d'exécution associé à la plus courte durée TxL.
- 10 Un tel processus ainsi structuré peut être implémenté par des solutions matérielles et/ou logicielles ainsi qu'il apparaîtra plus en détails ci-après.

Par ailleurs pour des raisons d'économie d'énergie et/ou de remise à l'état de veille des puces des jetons disposées dans le champ d'une antenne d'un lecteur, il est souhaitable ou nécessaire de couper le courant de cette antenne. Ces coupures et rétablissement de courant d'antennes peuvent provoquer des perturbations, notamment au niveau des réceptions Rx aussi longtemps que le courant d'antenne n'est pas stabilisé. Une solution avantageuse à ce problème est apportée par la variante ci-après du procédé selon l'invention.

- 20 Selon une autre variante optionnelle mais avantageuse du procédé selon l'invention le processus de synchronisation intègre la synchronisation des instructions d'établissement et/ou de coupure CA du courant d'antenne d'un ou plusieurs lecteurs de ladite pluralité de lecteurs en assimilant :
- 25 - ces instructions CA à des instructions de commande d'un cycle Tx/Rx vers un lecteur actif,
 - la durée de la stabilisation du courant d'antenne suite à l'exécution d'une instruction CA à la durée TxL de transmission Tx de l'instruction de commande d'un cycle Tx/Rx au lecteur actif, ladite durée de stabilisation étant appelée ci-après durée TxL assimilée et l'instruction CA étant également appelée ci-après transmission Tx assimilée, et
 - 30 - un ordre d'exécution d'une commande CA à un ordre d'exécution d'une transmission Tx d'un cycle Tx/Rx dans lequel la durée de l'opération Rx est nulle, ci-après appelé cycle Tx/Rx assimilé, le lecteur concerné par une commande CA étant
 - 35 alors assimilé à un lecteur actif.

Cette variante permet d'une part d'éliminer les perturbations provoquées par les coupures et rétablissement de courant d'antenne et d'autre part d'obtenir cette élimination sans gêner la gestion coordonnée de la pluralité de lecteurs et à moindre coût en ressource matérielle et logicielle.

5

Pour encore améliorer le synchronisme entre lecteurs, les durées TxL, réelles et/ou assimilées, se présentent sous la forme de multiples de la période de l'onde porteuse utilisée par les lecteurs.

- 10 Avantageusement le processus de synchronisation est mis en œuvre par un circuit de synchronisation selon un cycle de synchronisation CS initié soit par la première demande d'autorisation d'exécution d'un cycle Tx/Rx réel ou assimilé, faite par un lecteur à la suite d'une requête d'une unité centrale de contrôle du lecteur, soit automatiquement à la fin de la dernière opération de réception Rx des cycles Tx/Rx réels correspondants au cycle de synchronisation CS précédent ou à défaut de cycle
- 15 Tx/Rx réels à la fin des opérations de transmission Tx assimilée.

- 20 Ce mode opératoire du procédé selon l'invention permet de ne faire participer réellement au processus de synchronisation que les Nx lecteurs effectivement actifs (ayant en attente un cycle Tx/Rx) de la pluralité NL de lecteurs en gestion coordonnée.

- 25 Avantageusement, participent à un nouveau cycle de synchronisation CS tous les lecteurs ayant transmis des demandes d'autorisation d'exécution d'un cycle Tx/Rx réel ou assimilé depuis le début d'exécution du cycle de synchronisation CS précédent.

- 30 Ce mode opératoire du procédé selon l'invention permet de limiter l'attente des ordres d'exécution des transmissions Tx des lecteurs actifs.

30

Avantageusement participent également au nouveau cycle de synchronisation CS tous les lecteurs actifs ayant participé au cycle de synchronisation précédent.

- 35 Ce mode opératoire du procédé selon l'invention permet de traiter automatiquement les suites ou séries de plusieurs cycles Tx/Rx pour un même lecteur sans risque d'interruption.

Avantageusement pour chaque cycle de synchronisation CS, l'étape de collecte des durées TxL, réelles et/ou assimilées, est réalisée pour tous les NL lecteurs de la pluralité de lecteurs avec détermination du nombre Nx de lecteurs pour lesquels un ordre d'exécution de la transmission Tx, réelle ou assimilée, devra être émis et en ce que l'étape d'émission d'ordres d'exécution de transmission Tx est adaptée en fonction de Nx.

Ce mode opératoire du procédé selon l'invention permet un gain de temps dans l'exécution du cycle de synchronisation.

Selon une autre variante optionnelle mais avantageuse du procédé selon l'invention les signaux d'horloge de chaque lecteur de la pluralité de lecteurs sont synchronisés à partir d'une même base de temps.

Ce mode opératoire permet aux lecteurs de générer des ondes porteuses synchronisées à la fréquence choisie, à en l'espèce, à titre d'exemple non limitatif, à 125 KHz.

Selon encore une autre variante optionnelle mais avantageuse du procédé selon l'invention dans une version où il est destiné à être utilisé avec des lecteurs comportant une fonction de détection et de gestion des collisions au niveau des réponses simultanées de plusieurs puces à une même instruction de commande d'un cycle Tx/Rx, le procédé est caractérisé qu'il est associé à des moyens adaptés pour mettre en œuvre le processus de gestion accélérée des collisions suivant:

- détermination, à l'occasion de la détection d'une collision par discordance entre la valeur 0 ou 1 d'un bit de la réponse par rapport à la valeur attendue pour ce même bit, d'un degré « fort » ou « faible » de la collision en fonction du niveau d'incertitude sur la valeur détectée du bit de réponse concerné;
- traitement des collisions par itération avec pour la première itération le seul traitement des collisions à degré « fort ».

Ce mode opératoire permet de ne traiter lors de la première itération du procédé que les collisions à degré « fort » (pour lesquelles l'incertitude est faible) et qui en pratique correspond aux collisions vraies (par exemple lecture par le lecteur d'une réponse à une demande d'identification d'un jeton à numéro de série donné, en mémoire dans sa propre puce, par la puce d'un autre jeton portant un numéro de série voisin), les fausses collisions (résultant en général de la difficulté, et donc d'un

niveau d'incertitude élevé, à lire la valeur du bit concerné dans la réponse) étant alors éliminées du traitement de la première itération. A titre d'exemple non limitatif le traitement peut consister à obtenir confirmation par des interrogations ciblées de certains champs de numéro de série du numéro du jeton originaire de la réponse, 5 quitte à éliminer le jeton incriminé en le rendant « silencieux » (inhibition de l'opération Rx), si celui-ci ne fait pas partie des jetons recherchés. Ce mode opératoire permet d'accélérer très sensiblement la gestion des collisions vraies et les temps de lecture et/ou d'écriture des jetons. Il est à noter que chaque fausse collision augmente inutilement le temps de lecture à cause des tentatives de découvrir des 10 numéros de série SNR qui en réalité n'existent pas, d'où la nécessité d'éviter de telles collisions.

Avantageusement la discrimination entre les degrés « fort » et « faible » des collisions est obtenue par fixation pour chaque lecteur d'un seuil de partage 15 prédéterminé associé au niveau d'incertitude sur la valeur détectée du bit de réponse concerné.

Ce mode opératoire permet d'adapter le seuil de partage à chaque lecteur et à son environnement immédiat (distance entre antennes de lecteur, formes et/ou 20 disposition des antennes, puissance réelle dissipée, etc ...).

Avantageusement le seuil de partage est choisi de façon à distinguer les vraies collisions, collisions de degré « fort », résultant des réponses simultanées de plusieurs puces distinctes, des fausses collisions, collisions de degré « faible » 25 résultant notamment de perturbations électromagnétiques externes aux lecteurs ou de perturbations entre lecteurs à antennes en étroite proximité pendant l'émission des réponses Rx.

L'invention concerne également un circuit de synchronisation pour une pluralité de 30 lecteurs radiofréquence sans contact de jetons à puce électronique destiné à la mise en œuvre du procédé selon l'invention présenté ci-dessus dans toutes ses variantes, le circuit comportant une unité de traitement à microprocesseur adaptée pour réaliser l'exécution du processus de synchronisation, l'unité de traitement étant associée à un circuit d'interface destiné à être convenablement connecté avec chacun des lecteurs 35 de ladite pluralité de lecteurs. A cet effet l'unité de traitement dispose des moyens matériels et logiciels lui permettant de réaliser l'exécution du processus de synchronisation.

Il est à noter également que le circuit de synchronisation est capable de travailler de façon autonome, par exemple de façon à pouvoir être installé à côté des lecteurs d'une même table de casino mais peut également être intégré ou rattaché à l'unité centrale de gestion des lecteurs.

5

Avantageusement le circuit d'interface comporte de moyens de démultiplexage entre les lignes de transmission de données à partir des lecteurs.

10

De façon optionnelle, le circuit d'interface comporte avantageusement des moyens pour délivrer aux lecteurs des signaux d'horloge synchronisés à partir de la base de temps de ladite unité de traitement du circuit de synchronisation.

15

L'invention concerne également un lecteur radiofréquence sans contact de jetons à puce électronique adapté pour la mise en œuvre du procédé selon l'invention en association avec un circuit de synchronisation défini ci-dessus, le lecteur comportant des moyens de commutation des signaux d'horloge pour basculer d'une base de temps interne vers la base de temps de ladite unité de traitement.

20

L'invention concerne également un lecteur radiofréquence sans contact de jetons à puce électronique adapté pour la mise en œuvre du procédé selon l'invention en association avec un circuit de synchronisation défini ci-dessus, le lecteur disposant des moyens matériels et logiciels lui permettant au sein d'une pluralité de lecteurs de réaliser l'exécution du processus de synchronisation, la gestion coordonnée des cycles de lecture et/ou d'écriture Tx/Rx, notamment dans sa variante à contrôle des coupures et/ou rétablissement du courant d'antenne et/ou dans sa variante avec mise

25

œuvre du processus de gestions accélérée des collisions.

L'invention concerne également un système de lecture et/ou écriture radiofréquence sans contact de jetons à puce électronique destiné à être utilisé avec mise en œuvre du procédé selon l'invention dans toutes ses variantes, comportant pluralité de

30

lecteurs définis ci-dessus connectés à un circuit de synchronisation défini ci-dessus et gérée par une unité centrale de contrôle à microprocesseur.

L'invention concerne également un système de lecture et/ou écriture radiofréquence sans contact de jetons à puce électronique destiné à être utilisé avec mise en œuvre du procédé selon l'invention dans toutes ses variantes, comportant une pluralité de

35

lecteurs à adaptation du signal d'horloge définis ci-dessus et synchronisés par la base de temps d'un circuit de synchronisation défini ci-dessus.

5 D'autres caractéristiques et avantages de la présente invention apparaîtront à la lecture de la description qui va suivre présentée uniquement à titre d'exemple non limitatif en référence aux dessins ci-joints dans lesquels:

- la figure 1 représente une vue schématique d'un mode de réalisation d'un système de lecture et/ou écriture radiofréquence sans contact de jetons à puce électronique selon l'invention destiné à être utilisé avec mise en œuvre du procédé selon l'invention ;
- 10 - la figure 2 représente un organigramme général des opérations effectuées par le circuit de synchronisation dans le cadre de la mise en œuvre du procédé selon l'invention (dans sa variante avec prédétermination du nombre de lecteurs de la pluralité à synchroniser dans le prochain cycle de synchronisation CS);
- 15 - la figure 3 représente un organigramme d'opérations effectuées par un lecteur lors de l'exécution d'un cycle de synchronisation CS dans le cadre de la mise en œuvre du procédé selon l'invention, notamment le protocole de transfert des durées TxL vers le circuit de synchronisation;
- la figure 4 représente un organigramme partiel d'opérations effectuées par le circuit de synchronisation lors de l'exécution du cycle de synchronisation CS présenté figure 3, notamment protocole de collection des nombres TxL par le circuit de synchronisation; et
- 20 - la figure 5 représente le schéma d'un circuit de commutation d'horloge pour lecteur permettant de passer du mode 'lecteur indépendant' au mode 'lecteur synchronisé'.

25

Le mode de réalisation du système de lecture et/ou écriture radiofréquence sans contact 10 de jetons à puce électronique selon l'invention destiné à être utilisé avec mise en œuvre du procédé selon l'invention illustré schématiquement à la figure 3 comporte, à titre d'exemple n'ayant aucun caractère limitatif, une pluralité 12 de trois lecteurs L1, L2 et L3 respectivement référencés 12a, 12b, 12c. Chaque lecteur comporte au moins une antenne, respectivement 13a, 13b 13c, associée au plateau 14 une même table de jeu ou table de caisse pour définir des zones de lecture/écriture correspondantes dans lesquelles sont disposés des jetons de jeu 15a, 15b et 15c à puce électronique (plaques ou disques), soit à plat de façon unitaire (jetons 15b), soit de façon empilée (jetons 15a et 15c), les piles pouvant atteindre le nombre 20 jetons, voire plus.

30

35

Toujours à titre d'exemple non limitatif les trois lecteurs 12a, 12b et 12c sont du type dispositif de lecture-écriture VEGAS (version VEGRED2) produit par la société Gaming Partners International SAS. Chaque jeton de jeu intègre une puce électronique 16 à transpondeur radiofréquence sans contact, en l'espèce un
 5 transpondeur Hitag Vegas produit par Philips Semiconductors.

Les trois lecteurs 12a, 12b et 12c sont connectés par des interfaces sérieelles RS232 17a, 17b et 17c à un même ordinateur hôte OH 18 définissant une unité centrale de contrôle des lecteurs transmettant des commandes aux lecteurs et utilisant les
 10 données fournies par ceux-ci. Il est à noter que, selon une variante non représentée et sans sortir du cadre de l'invention, chaque lecteur peut avoir sa propre unité centrale de contrôle (ordinateur OH); ainsi par exemple on pourra avoir au total une carte de synchronisation, trois lecteurs et trois ordinateurs OH indépendants. Chaque lecteur 12a, 12b ou 12c comporte notamment un microprocesseur de lecteur μ P (non
 15 représenté) et un processeur digital de signal DSP (non représenté), utilisé notamment pour le traitement exécutant notamment l'algorithme « anti-collision ». D'une façon générale les trois lecteurs 12a, 12b et 12c sont chargés des mêmes logiciels et configurés de façon identique de telle sorte que les caractéristiques de fonctionnement des trois lecteurs 12a, 12b et 12c soient identiques (à l'identité propre
 20 de chaque lecteur près).

Ainsi la transmission TX d'une commande vers les puces par un lecteur (12a, 12b ou 12c) s'effectue par modulation forte du courant de l'antenne associée au lecteur, détectée par les puces 16 placées dans le champ de celle-ci. De même la réception
 25 Rx par le lecteur de la réponse des puces à la suite d'une commande s'effectue par la détection par le lecteur de la modulation faible de la tension sur l'antenne.

L'énergie nécessaire au fonctionnement de la puce 16 est fournie par le champ magnétique de l'antenne du lecteur correspondant. Le lecteur (12a, 12b ou 12c)
 30 envoie des commandes aux puces en modulant l'amplitude des oscillations du champ magnétique. Les puces répondent par la modulation d'une résistance interne, le couplage magnétique assurant la transmission de cette modulation vers le lecteur.

Toujours à titre d'exemple non limitatif, on distingue les états suivants dans le
 35 fonctionnement de la puce 16 de type Hitag.

Hors tension. La puce se trouve hors le champ de l'antenne.

Prêt. La puce vient d'être placée dans le champ de l'antenne. Dans cet état elle accepte seulement la commande **SetCC**, à la suite de laquelle elle envoie le numéro de série (SNR) vers le lecteur et passe à l'état *Initial*.

Initial. Dans cet état la puce accepte les commandes suivantes.

5 **SetCC** – même effet qu'à l'état *Prêt*.

ReadID – le lecteur envoie N bits vers les puces ($1 \leq N \leq 31$). Les puces dont les premiers N bits du SNR coïncident avec les N bits reçus répondent en envoyant les autres 32-N bits du SNR ; les autres puces passent à l'état *Prêt*.

10 **Select** – le lecteur envoie 32 bits vers les puces. La puce dont le SNR coïncide avec les bits reçus répond en envoyant les données de sa page de configuration en mémoire et passe à l'état *Sélecté*; les autres puces passent à l'état *Prêt*.

Sélecté. Dans cet état la puce accepte les commandes de lecture et d'écriture des données ainsi que la commande **Halt**, à la suite de laquelle elle passe à l'état *Silencieux*.

15 *Silencieux.* Dans cet état la puce ne répond à aucune autre commande, permettant ainsi au lecteur de communiquer avec les autres puces. La seule possibilité de quitter cet état est de revenir à l'état *Hors tension*.

20 À la suite des commandes **SetCC** et **ReadID**, il peut se faire que plusieurs puces envoient leurs réponses en même temps. Les réponses des puces sont synchronisées, notamment par l'horloge du lecteur lorsque celui-ci travaille en mode 'lecteur indépendant' ; elles renferment donc 32 bits pour **SetCC** et 32-N bits pour **ReadID**. Si les réponses diffèrent sur certaines positions des bits, on dit qu'on a des collisions sur les positions correspondantes. Le lecteur détecte et traite celles-ci par
25 l'algorithme d'anti-collision.

Afin de faire sortir les puces 16 de l'état *Silencieux*, le lecteur dispose de la commande **HFReset** d'arrêt momentané du courant de l'antenne. Il dispose également de la commande **SetPowerDown** qui permet de couper le courant de
30 l'antenne pendant les périodes d'inactivité.

Les trois lecteurs 12a, 12b et 12c sont également reliés à un circuit de synchronisation CSL 20 réalisée par une carte électronique comportant au moins les trois composants principaux suivants: une unité de traitement à microprocesseur 22
35 modèle AT89C55WD de la société ATMEL, un circuit d'interface 24 modèle CPLD XC9572 de la société Xilinx et une interface série 26 type MAX202 de la société Maxim.

Le microprocesseur 22 exécute le protocole de synchronisation de l'invention. Il communique aussi, à travers l'interface série 26, à un ordinateur attaché au circuit CSL (en l'espèce de façon avantageuse mais non obligatoire l'ordinateur 18) avec lequel on peut effectuer des tests afin de vérifier si toutes les composants du système (CSL, lecteurs 12a, 12b et 12c et câbles d'interconnexions 17a, 17b et 17c) fonctionnent correctement. On notera toutefois que la présence d'un ordinateur pour le circuit CSL 20 n'est pas requise pendant le fonctionnement normal du système 10 selon l'invention.

10 Le circuit d'interface 24 remplit les fonctions suivantes :

- Il assure l'interface entre le microprocesseur 22 et les trois lecteurs 12a, 12b et 12c; en particulier, il agit comme démultiplexeur entre le microprocesseur 22 et les lignes DATA.
- Il distribue aux lecteurs un signal à 4 MHz obtenu en divisant la fréquence de 20 MHz de la base de temps du microprocesseur 22. Ce signal est utilisé par les lecteurs 12a, 12b et 12c afin de générer les ondes porteuses synchronisées à 125 KHz.
- Il assure l'initialisation du microprocesseur 22 lors de la mise sous tension et la réinitialisation de celui-ci en cas de blocage du programme. Pour cela, on a réalisé dans le circuit le circuit d'interface un sous-circuit (non représenté) de type « Watchdog » (circuit de surveillance) à une entrée pilotée par le microprocesseur 22 et une sortie qui pilote le signal RESET de ce dernier. Si le microprocesseur 22 ne pilote pas l'entrée du sous-circuit pendant un certain laps de temps, le sous-circuit pilote le signal RESET. Cette solution a été préférée à la place de l'utilisation du circuit « Watchdog » intégré dans le microprocesseur ou d'une capacité associée à la ligne RESET, car les deux dernières variantes ne peuvent pas assurer un démarrage correct du microprocesseur lors de la mise sous tension. En effet, il se peut que la mise sous tension d'un lecteur 12a, 12b et 12c précède celle du circuit 24 et que, par hasard, quelques lignes logiques reliant ce lecteur au circuit 24 se trouvent au niveau haut (normalement, le lecteur les remet au niveau bas lors de sa mise sous tension). Dans ces conditions, il est possible que la tension présente sur ces lignes engendre un démarrage partiel du microprocesseur 22, suffisant pour décharger une capacité liée à sa ligne RESET mais insuffisant pour assurer l'activation correcte de tout le processeur, en particulier de son circuit « WatchDog ». Ainsi, le microprocesseur 22 ne démarrerait pas lors de sa propre mise sous tension retardée par rapport au lecteur. Au contraire, le sous-circuit 24 commencera alors sa fonction et ne tardera de piloter le signal RESET du microprocesseur 22.

Pour permettre aux lecteurs 12a, 12b et 12c de recevoir le signal à 4 MHz fourni par le circuit 24, il importe d'associer à chaque lecteur un circuit de commutation d'horloge, par exemple le circuit de commutation 28 illustré à la figure 5 (après avoir éventuellement mis hors service le circuit diviseur d'horloge interne du lecteur associé au microprocesseur de ce dernier). Le circuit 28 est basé sur le circuit intégré 30 74HC390 de la société Philips Semiconductors et assure le fonctionnement du lecteur dans les modes 'lecteur synchronisé' ou 'lecteur indépendant'.

Dans le mode 'lecteur indépendant', on place en série les compteurs diviseurs par 5 (bornes CKB/QC) et par 2 (bornes CKA/QA) du circuit intégré 30, obtenant ainsi la division par 10 du signal à 20 MHz fourni par le processeur interne du lecteur (ligne 32), ce qui donne le signal à 2 MHz (ligne 34) nécessaire au lecteur pour la génération de l'onde porteuse et d'autres signaux requis par les transmission Tx et réception Rx. Pour ce faire, le cavalier simple 36 et le cavalier 38a sont fermés, le cavalier 38b étant ouvert.

Dans le mode 'lecteur synchronisé' (cas présent des lecteurs 12a, 12b et 12c), le diviseur par 5 est mis au repos tandis que le signal à 4 MHz fourni par le circuit 24 (ligne 33) est passé par le diviseur par 2 (CKA/QA); on obtient ainsi sur le ligne 34 le signal à 2 MHz nécessaire au lecteur, le passage par le diviseur (CKA/QA) ayant aussi pour but d'assurer des transitions nettes du signal, en éliminant les possibles perturbations introduites par le câble de transmission. Pour ce faire, le cavalier simple 36 et le cavalier 38a sont ouverts, le cavalier 38b étant fermé.

Les signaux à 2 MHz sont ainsi synchronisés pour tous les lecteurs 12a, 12b et 12c car ils proviennent d'une base de temps commune, celle du microprocesseur de l'unité de traitement circuit 22 du circuit de synchronisation 20.

Le processus de gestion coordonnée selon l'invention de la pluralité des trois lecteurs 12a, 12b et 12c est mis en œuvre de la façon suivante.

L'activité de chaque lecteur 12a, 12b ou 12c se déroule en réponse aux commandes reçues de l'unité centrale de gestion 18 (également appelé ci-après ordinateur OH). A la suite d'une telle commande, le lecteur entreprend des actions comprenant zéro, un ou plusieurs cycles Tx/Rx.

A toutes fins utiles on rappelle que le cycle Tx/Rx proprement dit des lecteurs comprend deux étapes : la transmission (Tx) d'une commande du lecteur vers les puces suivie de la réception (Rx) de la réponse des puces par le lecteur. Dans le cas particulier, mais non limitatif, des lecteurs 12a, 12b ou 12c la réponse Rx puces est automatique et suit quasi-immédiatement la fin de la transmission Tx du lecteur concerné.

Dans le cas d'un lecteur synchronisé, un cycle Tx/Rx est précédé par un processus additionnel de synchronisation qui notamment précède et coordonne la transmission Tx de la commande par rapport aux commandes Tx des autres lecteurs. Ce processus a pour but d'assurer qu'aucun intervalle Tx d'un lecteur ne se superpose à aucun intervalle Rx d'un autre lecteur et par-là, que la modulation forte de Tx ne perturbe la modulation faible de Rx. En d'autres termes le processus de synchronisation a pour fonction de grouper dans un premier intervalle de temps les opérations de transmission Tx et de grouper dans un second intervalle de temps les opérations de réception Rx, sans chevauchement entre les deux intervalles de temps. Selon un mode préférentiel de mise en œuvre du procédé de gestion coordonnée selon l'invention, le processus synchronise les lecteurs 12a, 12b et 12c de telle manière que toutes les transmissions Tx des lecteurs actifs finissent en même temps permettant aux réceptions Rx de débiter en même temps. Le processus est mis en œuvre par l'exécution d'un cycle de synchronisation CS présenté ci-après.

Premièrement chaque lecteur 12a, 12b ou 12c, rendu actif par une commande de l'ordinateur OH 18, calcule la durée TxL de la transmission Tx correspondante, en tant que nombre entier sur 16 bits exprimant la durée de la commande en multiples de la période (8 micro-secondes) de l'onde porteuse de 125 KHz. Cette durée est ensuite communiquée par le circuit d'interface 24 au circuit de synchronisation CSL 20, après quoi le lecteur attend le signal de START. Seulement après avoir reçu ce signal START de la part du circuit CSL 20, le lecteur exécute le cycle Tx/Rx, c'est-à-dire les opérations de transmission Tx de la commande vers la puce 16 et de réception Rx de la puce.

Afin de pouvoir communiquer les nombres TxL au circuit CSL 20, chacun des trois lecteurs 12a, 12b et 12c est connecté au circuit d'interface 24 à l'aide des lignes logiques suivantes (voir figure 1) :

- 8 lignes DATA (DONNÉES) direction lecteur-circuit CSL ;
- une ligne BUSY (OCCUPÉ) direction lecteur-circuit CSL ;

Le fonctionnement du programme logiciel attaché au circuit de synchronisation CSL 20 et aux lecteurs 12a, 12b et 12c intègre la boucle infinie présentée en Figure 2. Le protocole de transfert des nombres TxL vers le circuit CSL 20 utilisé par le lecteur est présenté en Figure 3 tandis que le protocole de collection des nombres TxL utilisé par le circuit CSL 20 est présenté en Figure 4.

En ce qui concerne la boucle infinie de la figure 2, une fois le circuit CSL 20 mis en tension, ce circuit CSL exécute d'abord la collection des nombres TxL de chacun des lecteurs de la pluralité 12 pour ne garder que les lecteurs actifs pour lesquels le nombre TxL est supérieur à zéro (étape 201). En fonction du nombre Nx de lecteurs à TxL > 0, le circuit CSL 20 procédera à la synchronisation des trois lecteurs (étape 202), de deux lecteurs (étape 203) ou d'un seul lecteur (étape 204).

Le programme logiciel du circuit de synchronisation CSL 20 dispose de trois ports logiques à 8 bits DATA(1 – 3) à l'aide desquels le circuit CSL lit les valeurs déposées sur les lignes DATA par les trois lecteurs 12a, 12b et 12c. Le circuit CSL dispose aussi du port logique BUSY_REQUEST à l'aide duquel il peut lire simultanément les valeurs des lignes BUSY et REQUEST connectées aux trois lecteurs.

Le programme logiciel du circuit de synchronisation CSL 20 utilise de plus les variables suivantes dans le protocole de collection des TxL illustré figure 4 :

- le tableau à trois entrées TxL(1 – 3), où l'on mémorise les nombres TxL provenant des trois lecteurs ;
- le tableau à trois entrées TxLSET(1 – 3) ;
- la variable auxiliaire D.

Les tableaux TxL et TxLSET sont remis à zéro à la fin de chaque cycle de synchronisation CS. Un '1' dans la i-ème entrée de TxLSET signifie que le transfert du nombre TxL pour le i-ème lecteur est complet.

Le processus de synchronisation illustré à la figure 3 (côté lecteur 12a 12b ou 12c, ci-après le i-ème lecteur) et à la figure 4 (côté circuit CSL 20, selon un processus itératif i allant de 1 à NL=3 dans le cas présent) est maintenant présenté:

Après avoir reçu une commande de l'ordinateur OH 18, le i-ème lecteur place un '1' sur la ligne BUSY (étape 301), signalant ainsi au circuit de synchronisation CSL 20 son intention de participer au cycle de synchronisation CS. Si l'octet supérieur de son

nombre TxL est nul (condition 301'), le i-ème lecteur transfère l'octet inférieur de son TxL en déposant cet octet sur les lignes DATA (étape 302), puis en plaçant un '1' sur la ligne REQUEST (étape 303). A la suite du '1' détecté sur la ligne REQUEST du i-ème lecteur (étape 401), le circuit CSL 20 lit la valeur du port DATA(i) (étape 402) ;
 5 celle-ci étant non nulle, le circuit CSL la dépose dans l'octet inférieur de TxL(i) et écrit un '1' dans TxLSET(i) (étape 403), le transfert de TxL étant ainsi achevé pour le i-ème lecteur.

Si l'octet supérieur de son TxL est non nul (condition 301'), le i-ème lecteur dépose
 10 un zéro sur les lignes DATA (étape 304), puis place un '1' sur la ligne REQUEST (étape 305). A la suite du '1' détecté sur la ligne REQUEST du i-ème lecteur (étape 401), le circuit CSL 20 lit la valeur du port DATA(i) (étape 402) ; celle-ci étant nulle et les deux conditions $TxL(i) = 0$ et $TxLSET(i) = 0$ étant satisfaites, le circuit CSL sait qu'un transfert d'un nombre TxL sur 16 bits doit suivre. A cet effet, le circuit CS place
 15 un '1' sur la ligne START du i-ème lecteur (étape 405) ; en réponse (condition 305'), le i-ème lecteur transfère l'octet supérieur de son TxL en déposant cet octet sur les lignes DATA (étape 306), puis en plaçant un '0' sur la ligne REQUEST (étape 307). A la suite du '0' sur la ligne REQUEST (condition 405'), le circuit CSL 20 dépose la valeur de DATA(i) dans l'octet supérieur de TxL(i) (étape 406), puis remet la ligne
 20 START du i-ème lecteur à '0' (étape 407). En réponse du '0' sur la ligne START (condition 307'), le i-ème lecteur transfère l'octet inférieur de son TxL en déposant cet octet sur les lignes DATA (étape 302), puis en plaçant un '1' sur la ligne REQUEST (étape 303). A la suite du '1' détecté sur la ligne REQUEST du i-ème lecteur, CS lit la valeur du port DATA(i) (étape 402); même si celle-ci est nulle (il est bien possible que
 25 l'octet inférieur de TxL soit nul si l'octet supérieur ne l'est pas), les conditions $TxL(i) > 0$ et $TxLSET(i) = 0$ (condition 402') signalent au circuit CSL qu'il s'agit maintenant du transfert de l'octet inférieur de TxL ; par conséquent, le circuit CSL 20 dépose la valeur de DATA(i) dans l'octet inférieur de TxL(i) et écrit un '1' dans TxLSET(i) (étape 403), le transfert de TxL étant ainsi achevé pour le i-ème lecteur.

30 Le i-ème lecteur commence maintenant l'attente de la permission d'envoyer la commande vers les puces (exécution de la transmission Tx). A cet effet, il remet à zéro la ligne BUSY tout en gardant le '1' sur la ligne REQUEST (étape 308). La permission est accordée par le circuit CSL par le placement d'un '1' sur la ligne
 35 START du i-ème lecteur (condition 308') ; à ce moment, le i-ème lecteur remet à zéro sa ligne REQUEST (étape 309), puis place un '1' sur sa ligne BUSY (étape 310).

Ensuite, le lecteur exécute son cycle Tx/Rx et envoie sa commande vers les puces et reçoit la réponse. Le cycle Tx/Rx courant est ainsi achevé.

5 Toutefois l'émission du signal START pour le i-ème n'aura lieu que lors de la synchronisation proprement dite (avec la distribution des signaux START en fonction des nombres TxL) après la fin du processus d'itération décrit à la figure 4 (la collection des nombres TxL), soit après interrogation de tous les autres lecteurs de la pluralité de lecteurs (condition 407'). Si un des lecteurs est inactif, soit avec les signaux REQUEST=0 et BUSY=0 (conditions 401' et 401''), ce lecteur sera écarté du processus de synchronisation proprement dit exécuté postérieurement et les valeurs TxL(i) et TxLSET(i) mises à zéro (étape 408). Enfin le processus de synchronisation proprement dit commencera après l'étape 404 de fin de la collection des nombres TxL, un fois remplit la double condition d'au moins un signal REQUEST=1 et les trois signaux BUSY à zéro (condition 407'').

15 Si la commande de l'ordinateur OH 18 nécessite un autre cycle Tx/Rx, le fait qu'on ait gardé le '1' sur la ligne BUSY garantit la participation du i-ème lecteur au cycle de synchronisation CS qui suivra le cycle CS courant.

20 Après avoir achevé tous les cycles Tx/Rx demandés par l'exécution de la commande de l'ordinateur OH 18, le i-ème lecteur va normalement remettre à zéro sa ligne BUSY, signalant ainsi au circuit CSL 20 qu'il est devenu inactif. Un autre cycle de synchronisation CS pourra commencer sans la participation du i-ème lecteur. Si celui-ci reçoit une commande de l'ordinateur OH 18 pendant le déroulement d'un cycle de synchronisation CS auquel il ne participe pas, il sera obligé d'attendre jusqu'au cycle CS suivant. Si cela n'est pas souhaitable dans certaines situations, on a prévu en variante (non illustrée) le mode *Remise à Zéro Retardée* de la ligne BUSY. Dans ce mode, le lecteur ne remet pas à zéro la ligne BUSY immédiatement après l'achèvement de l'exécution de la commande de l'ordinateur OH 18, mais avec un retard d'environ 80 millisecondes. Ce délai permet à l'ordinateur OH 18 d'envoyer immédiatement une nouvelle commande au lecteur qui ne manquera pas ainsi le cycle de synchronisation CS suivant. Si l'ordinateur OH 18 ne désire pas envoyer une nouvelle commande, il peut demander au lecteur de remettre à zéro la ligne BUSY.

35 Par ailleurs les commandes de l'ordinateur OH 18 ayant pour but l'établissement et la coupure du courant des antennes 13a, 13b et 13c ne contiennent aucun cycle Tx/Rx réel. Toutefois ces commandes sont de façon préférentielle également

synchronisées. A cet effet le lecteur indique au circuit CSL une valeur de TxL assimilée de durée suffisante pour que le courant de l'antenne soit stabilisé, puis exécute la commande concernant le courant (commande CA assimilée à une transmission Tx) après la réception du signal START.

5

Le circuit de synchronisation CSL 20 commence également la synchronisation du cycle CS courant au moment où toutes les lignes BUSY provenant des trois lecteurs 12a, 12b et 12c sont mises à zéro. Cette condition se distingue de la situation où tous les lecteurs sont au repos par le fait qu'il y a au moins une ligne REQUEST mise à '1'. Le procédé de synchronisation dépend du nombre des lecteurs participants au cycle de synchronisation CS courant, égal au nombre Nx des valeurs TxL non nulles qui viennent d'être transférées.

Le processus de synchronisation tel qu'exécuté dans le cas de trois lecteurs participants (Nx=NL=3) est présenté ci-après (voir figure 2) :

15

- Ordonner les valeurs des nombres TxL. On utilise à cet effet un tableau à trois entrées READERS(1 - 3), en écrivant dans ces entrées les numéros des trois lecteurs (12a, 12b ou 12c) de façon que l'on ait $TxL(READERS(1)) \geq TxL(READERS(2)) \geq TxL(READERS(3))$.

20

- Placer un '1' sur la ligne START du lecteur dont le numéro est écrit dans READERS(1), correspondant à l'émission de l'ordre d'exécution du cycle Tx/Rx du lecteur pour lequel la transmission Tx de l'instruction de commande est la plus longue (premier lecteur lancé).

25

- Attendre un laps de temps égal à $(TxL(READERS(1)) - TxL(READERS(2)))$ fois la période de l'onde porteuse, correspondant au délai d'émission d'ordre d'exécution du cycle Tx/Rx du second lecteur par rapport au premier lecteur lancé.

- Placer un '1' sur la ligne START du lecteur dont le numéro est écrit dans READERS(2) (lancement du second lecteur).

30

- Attendre un laps de temps égal à $(TxL(READERS(2)) - TxL(READERS(3)))$ fois la période de l'onde porteuse, correspondant au délai d'émission d'ordre d'exécution du cycle Tx/Rx du troisième lecteur par rapport au second lecteur lancé.

- Placer un '1' sur la ligne START du lecteur dont le numéro est écrit dans READERS(3) (lancement du troisième lecteur).

35

- Attendre [T] que les lignes BUSY de tous les trois lecteurs soient mises à '1'.

- Remettre à zéro les lignes START des trois lecteurs.

- Remettre à zéro les tableaux TxL(1 - 3) et TxLSET(1 - 3).

Le processus dans le cas de deux lecteurs participant est similaire, avec la seule différence qu'il s'adresse aux deux lecteurs au lieu de trois.

5 Le processus dans le cas d'un seul lecteur participant consiste en à donner immédiatement le signal de START, attendre [T] que la ligne BUSY du lecteur soit mise à '1', remettre à zéro la ligne START du lecteur et remettre à zéro les tableaux TxL(1 – 3) et TxLSET(1 – 3).

10 Il est à noter que l'invention n'est pas limitée à une pluralité NL de 3 lecteurs et peut être mise en œuvre avec un plus grand nombre de lecteurs sous réserve de modifier les circuits et les logiciels en conséquence en se basant sur les informations données ci-dessus et dans la mesure où les commandes envoyées par des lecteurs distincts ne se perturbent pas mutuellement de façon sensible.

15 Il est à noter également que l'invention n'est pas limitée à la lecture et/ou à l'écriture sans contact par radiofréquence de jetons à puce électronique pour casino et salles de jeu mais s'applique à toutes les applications de lecture/écritures RFID sans contact de jetons, plaques ou carte à puce électronique (par exemple à titre non limitatif, jetons ou carte d'accès, contremarques ou étiquettes électroniques, etc.).

20 L'invention n'est pas non plus limitée aux lecteurs et/ou au protocole de communications lecteur/puce et puce/lecteur par cycles Tx/Rx décrits ci-avant. Le procédé de gestion coordonnée d'une pluralité de lecteurs et le processus de synchronisation selon l'invention sont applicables i) à tous lecteurs utilisant un
25 protocole de communications du type à commandes envoyées par le lecteur suivies des réponses envoyées par les puces, les réponses pouvant être automatiques et immédiates (comme dans le cycle Tx/Rx décrit ci-avant) ou automatiques et non immédiates ou encore à émissions contrôlées dans le temps ; et ii), de façon optionnelle, à tous lecteurs disposant des commandes d'arrêt du courant des
30 antennes, les puces électroniques étant adaptées, dans chacun des cas mentionnés ci-dessus, aux lecteurs tant du point de vue matériel et logiciel.

REVENDEICATIONS

1. Procédé de gestion coordonnée d'une pluralité (12) de lecteurs (12a,12b,12c) radiofréquence sans contact de jetons (15a,15b,15c) à puce électronique (16) du type dans lequel un cycle courant de transmission/réception Tx/Rx entre un lecteur (12a,12b,12c) et les puces (16) accessibles par le lecteur comporte une opération de transmission Tx d'une instruction de commande du lecteur vers les puces suivie d'une opération de réception Rx de la réponse des puces (16) vers le lecteur (12a,12b,12c), caractérisé en ce que les cycles de transmission/réception Tx/Rx des lecteurs actifs font l'objet d'un processus de synchronisation de façon à grouper dans un premier intervalle de temps les opérations de transmission Tx et à grouper dans un second intervalle de temps les opérations de réception Rx sans chevauchement entre les deux intervalles de temps.

2. Procédé selon la revendication 1, caractérisé en ce que le groupement des opérations de transmission Tx est réalisé de façon telle que les opérations de transmission Tx finissent sensiblement au même instant.

3. Procédé selon l'une des revendications 1 et 2, caractérisé en ce que le processus de synchronisation comporte :

- une étape de collecte des durées TxL des transmissions Tx des instructions de commande des premiers cycles Tx/Rx en attente des lecteurs actifs (12a,12b,12c), et
- une étape d'émission d'ordres d'exécution aux lecteurs actifs des transmissions Tx des instructions de commande des cycles Tx/Rx échelonnés dans le temps et ordonnés selon les durées TxL décroissantes en commençant par le lecteur auquel est affectée l'instruction de commande du cycle Tx/Rx ayant la plus grande durée TxL, le délai entre un ordre d'exécution et son suivant étant égal à la différence des durées TxL des instructions de commande des cycles Tx/Rx à transmettre par les deux lecteurs correspondants, ceci jusqu'à l'ordre d'exécution associé à la plus courte durée TxL.

4. Procédé selon la revendication 3, caractérisé en ce que le processus de synchronisation intègre la synchronisation des instructions d'établissement et/ou de coupure CA du courant d'antenne (13a,13b,13c) d'un ou plusieurs lecteurs de ladite pluralité de lecteurs en assimilant :

- ces instructions CA à des instructions de commande d'un cycle Tx/Rx vers un lecteur actif,

- la durée de la stabilisation du courant d'antenne suite à l'exécution d'une instruction CA à la durée TxL de transmission Tx de l'instruction de commande d'un cycle Tx/Rx au lecteur actif, ladite durée de stabilisation étant appelée ci-après durée TxL assimilée et l'instruction CA étant également appelée ci-après transmission Tx assimilée, et

- un ordre d'exécution d'une commande CA à un ordre d'exécution d'une transmission Tx d'un cycle Tx/Rx dans lequel la durée de l'opération Rx est nulle, ci-après appelé cycle Tx/Rx assimilé.

5. Procédé selon l'une des revendications 3 et 4, caractérisé en ce que les durées TxL, réelles et/ou assimilées, se présentent sous la forme de multiples de la période de l'onde porteuse utilisée par les lecteurs (12a,12b,12c).

6. Procédé selon l'une des revendications 3 à 5, caractérisé en ce que le processus de synchronisation est mis en œuvre par un circuit de synchronisation (20) selon un cycle de synchronisation CS initié soit par la première demande d'autorisation d'exécution d'un cycle Tx/Rx réel ou assimilé, faite par un lecteur à la suite d'une requête d'une unité centrale de contrôle (18) du lecteur, soit automatiquement à la fin de la dernière opération de réception Rx des cycles Tx/Rx réels correspondants au cycle de synchronisation CS précédent ou à défaut de cycle Tx/Rx réel à la fin des opérations de transmission Tx assimilée.

7. Procédé selon la revendication 6, caractérisé en ce que participent à un nouveau cycle de synchronisation CS tous les lecteurs (12a,12b,12c) ayant transmis des demandes d'autorisation d'exécution d'un cycle Tx/Rx réel ou assimilé depuis le début d'exécution du cycle de synchronisation CS précédent.

8. Procédé selon la revendication 7, caractérisé en ce que participent également au nouveau cycle de synchronisation CS tous les lecteurs actifs ayant participé au cycle de synchronisation précédent.

9. Procédé selon l'une des revendications 6 à 8, caractérisé en ce que pour chaque cycle de synchronisation CS, l'étape de collecte des durées TxL, réelles et/ou assimilées, est réalisée pour tous les NL lecteurs de la pluralité (12) de lecteurs avec détermination du nombre Nx de lecteurs pour lesquels un ordre d'exécution de la transmission Tx, réelle ou assimilée, devra être émis et en ce que l'étape d'émission d'ordres d'exécution de transmission Tx est adaptée en fonction de Nx.

10. Procédé selon l'une des revendications précédentes, caractérisé en ce que les signaux d'horloge de chaque lecteur de la pluralité de lecteurs (12a,12b,12c) sont synchronisés à partir d'une même base de temps.

5

11. Procédé selon l'une des revendications précédentes, destiné à être utilisé avec des lecteurs comportant une fonction de détection et de gestion des collisions au niveau des réponses simultanées de plusieurs puces à une même instruction de commande d'un cycle Tx/Rx, caractérisé qu'il est associé à des
10 moyens adaptés pour mettre en œuvre le processus de gestion accélérée des collisions suivant:

- détermination, à l'occasion de la détection d'une collision par discordance entre la valeur 0 ou 1 d'un bit de la réponse par rapport à la valeur attendue pour ce même bit, d'un degré « fort » ou « faible » de la collision en fonction du niveau d'incertitude
15 sur la valeur détectée du bit de réponse concerné ;
- traitement des collisions par itération avec pour la première itération le seul traitement des collisions à degré « fort ».

12. Procédé selon la revendication 11, caractérisé en ce que la
20 discrimination entre les degrés « fort » et « faible » des collisions est obtenue par fixation pour chaque lecteur (12a,12b,12c) d'un seuil de partage prédéterminé associé au niveau d'incertitude sur la valeur détectée du bit de réponse concerné.

13. Procédé selon la revendication 12, caractérisé en ce que le seuil de
25 partage est choisi de façon à distinguer les vraies collisions, collisions de degré « fort », résultant des réponses simultanées de plusieurs puces (16) distinctes des fausses collisions, collisions de degré « faible » résultant notamment de perturbations électromagnétiques externes aux lecteurs (12a,12b,12c) ou de perturbations entre lecteurs à antennes en étroite proximité pendant l'émission des réponses Rx.

30

14. Circuit de synchronisation (20) pour une pluralité (12) de lecteurs radiofréquence sans contact de jetons (15a,15b,15c) à puce électronique destiné à la mise en œuvre du procédé selon l'une des revendications précédentes, caractérisé en ce qu'il comporte une unité de traitement (22) à microprocesseur adaptée pour
35 réaliser l'exécution du processus de synchronisation, l'unité de traitement étant associée à un circuit d'interface (24) destiné à être convenablement connecté avec chacun des lecteurs (12a,12b,12c) de ladite pluralité (12) de lecteurs.

15. Circuit de synchronisation (20) selon la revendication 14, caractérisé en ce que le circuit d'interface (24) comporte des moyens de démultiplexage entre les lignes de transmission de données à partir des lecteurs.

5

16. Circuit de synchronisation (20) selon l'une des revendications 14 et 15, caractérisé en ce que le circuit d'interface (24) comporte des moyens pour délivrer aux lecteurs (12a,12b,12c) des signaux d'horloge synchronisés à partir de la base de temps de ladite unité de traitement (22).

10

17. Lecteur (12a,12b,12c) radiofréquence sans contact de jetons (15a,15b,15c) à puce électronique (16) adapté pour la mise en œuvre du procédé selon l'une des revendications 1 à 13 en association avec un circuit de synchronisation (20) selon l'une des revendications 14 à 16, caractérisé en ce qu'il dispose ou comporte des moyens matériels et logiciels lui permettant au sein d'une pluralité (12) de lecteurs de réaliser l'exécution du processus de synchronisation, la gestion coordonnée des cycles de lecture et/ou d'écriture Tx/Rx, notamment dans sa variante à contrôle des coupures et/ou rétablissement du courant d'antenne (13a,13b,13c) et/ou dans sa variante avec mise œuvre du processus de gestions accélérée des collisions.

20

18. Lecteur (12a,12b,12c) radiofréquence sans contact de jetons (15a,15b,15c) à puce électronique (16) adapté pour la mise en œuvre du procédé selon l'une des revendications 1 à 13 en association avec un circuit de synchronisation (20) selon la revendication 16, caractérisé en ce qu'il comporte des moyens de commutation (28) des signaux d'horloge pour basculer d'une base de temps interne vers la base de temps de ladite unité de traitement (22).

25

19. Système (10) de lecture et/ou écriture radiofréquence sans contact de jetons (15a,15b,15c) à puce électronique (16) destiné à être utilisé avec mise en œuvre du procédé selon l'une des revendications 1 à 13, caractérisé en ce qu'il comporte une pluralité (12) de lecteurs selon l'une des revendications 17 et 18 connectés à un circuit de synchronisation (20) selon l'une des revendications 14 à 16 et gérée par une unité centrale de contrôle (18) à microprocesseur.

35

20. Système (10) de lecture et/ou écriture radiofréquence sans contact de jetons (15a,15b,15c) à puce électronique (16) destiné à être utilisé avec mise en

œuvre du procédé selon l'une des revendications 1 à 13, caractérisé en ce qu'il comporte une pluralité (12) de lecteurs selon la revendication 17 à adaptation du signal d'horloge et synchronisés par la base de temps d'un circuit de synchronisation (20) selon la revendication 16.

TITRE : PROCÉDÉ DE GESTION D'UNE PLURALITÉ DE LECTEURS DE
JETONS À PUCE ÉLECTRONIQUE ET ÉQUIPEMENTS DE MISE EN ŒUVRE
DUDIT PROCÉDÉ

ABRÉGÉ

Le procédé de gestion coordonnée d'une pluralité (12) de lecteurs (12a,12b,12c) radiofréquence sans contact de jetons (15a,15b,15c) à puce électronique (16) du type à cycle de transmission/réception Tx/Rx comportant la transmission Tx d'une commande du lecteur vers les puces suivie de la réception Rx de la réponse des puces (16) vers le lecteur (12a,12b,12c), comprend une synchronisation des cycles Tx/Rx de façon à grouper dans un premier intervalle de temps les transmissions Tx et à grouper dans un second intervalle de temps les réceptions Rx sans chevauchement entre les deux intervalles de temps. Les lecteurs (12a,12b,12c) sont associés à un circuit de synchronisation (20) comportant un circuit de traitement à microprocesseur (22) et un circuit d'interface (24) relié à chacun des lecteurs (12a,12b,12c), notamment pour délivrer à ceux-ci des signaux d'horloge synchronisés par le circuit à microprocesseur (22).

L'abrégé se réfère à la figure 1.

1/5

FIG. 1

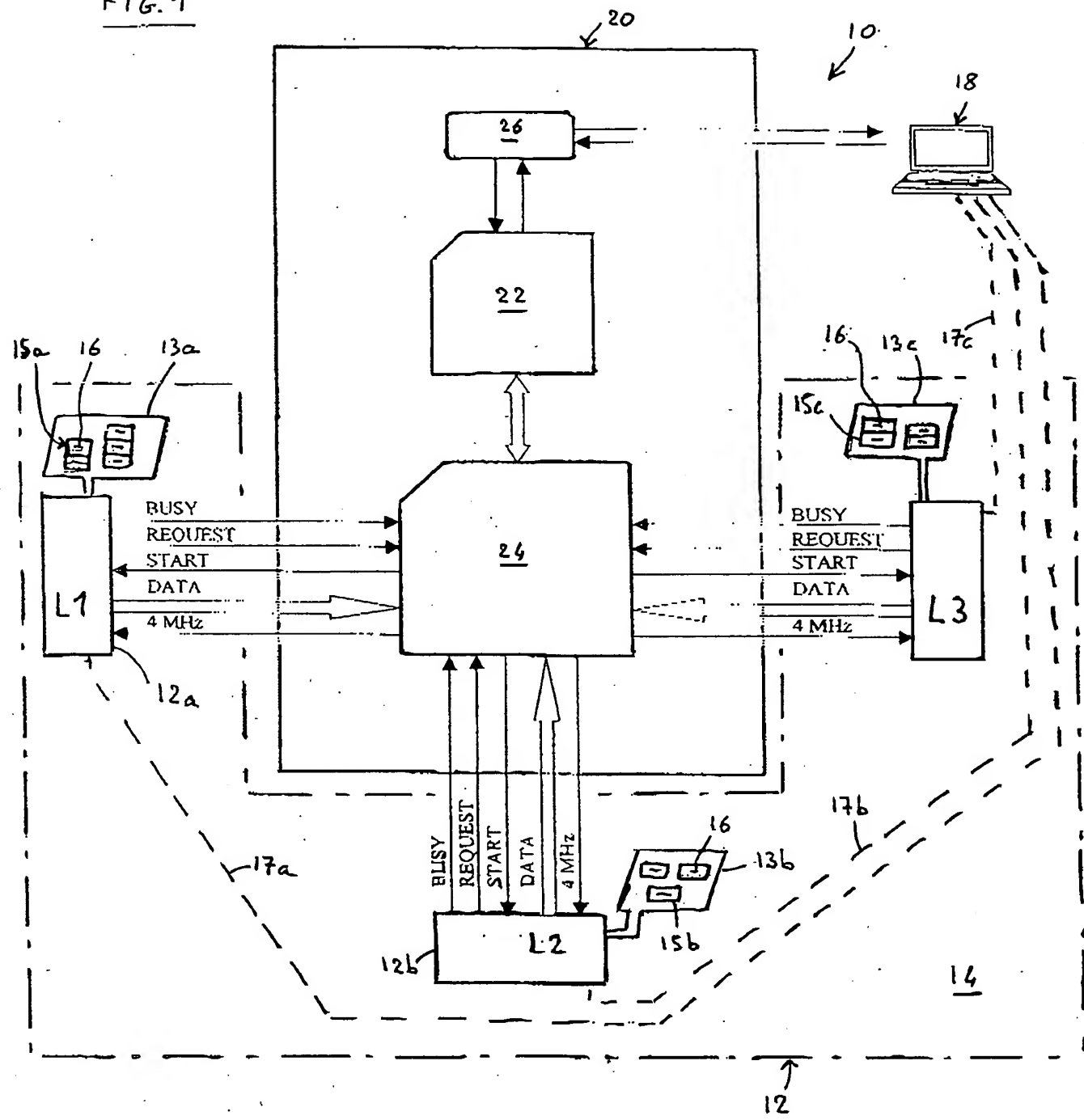


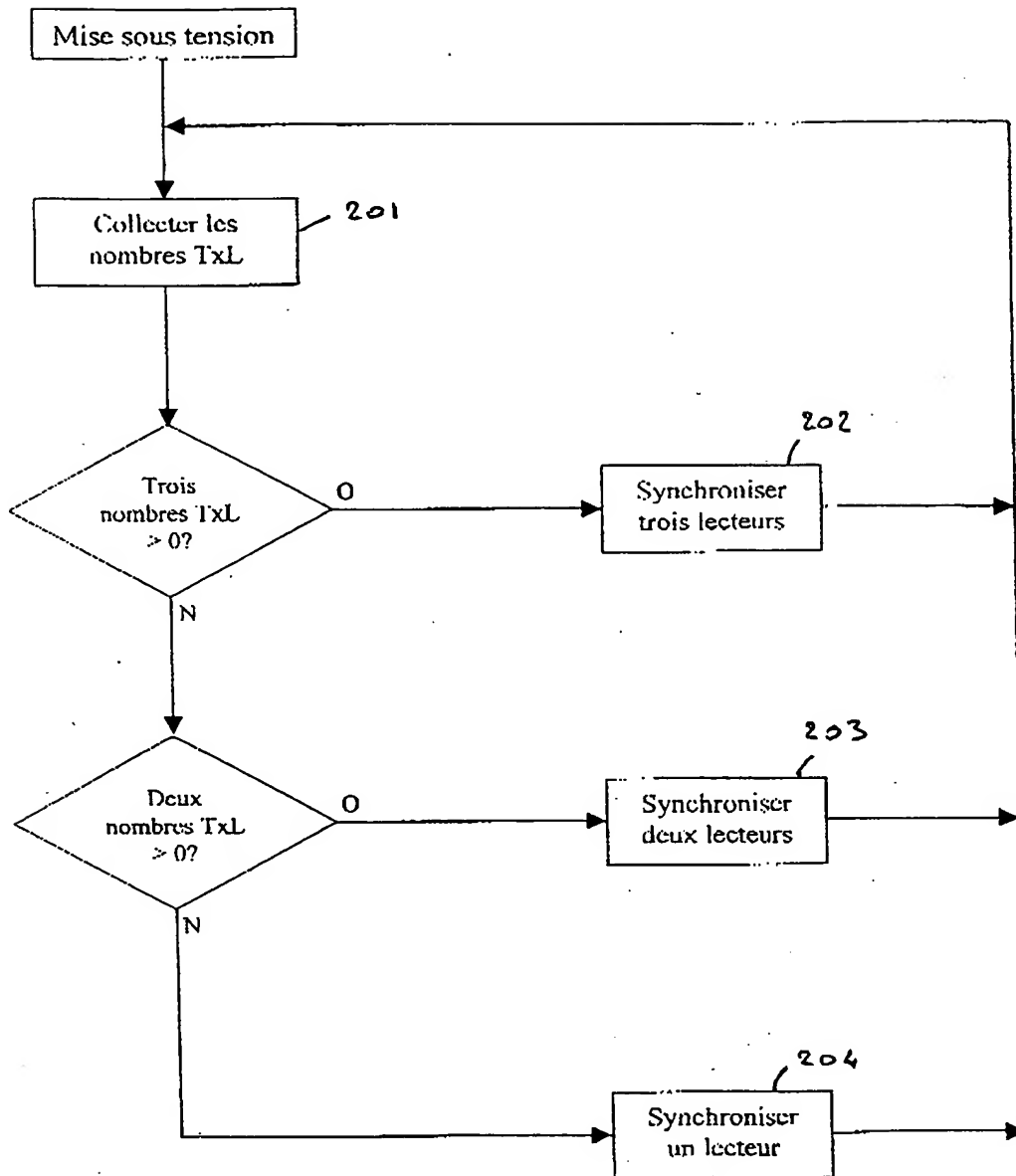
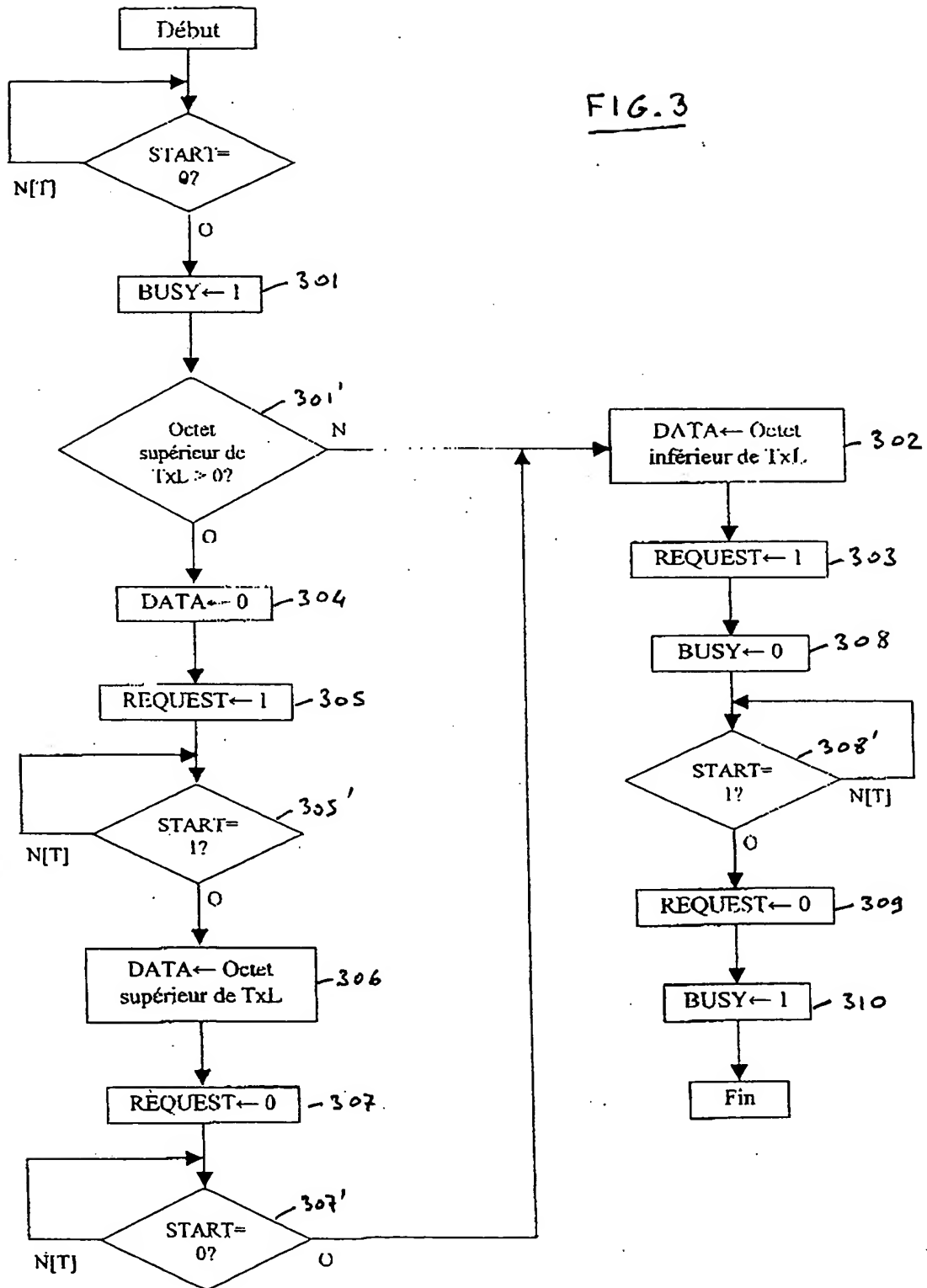
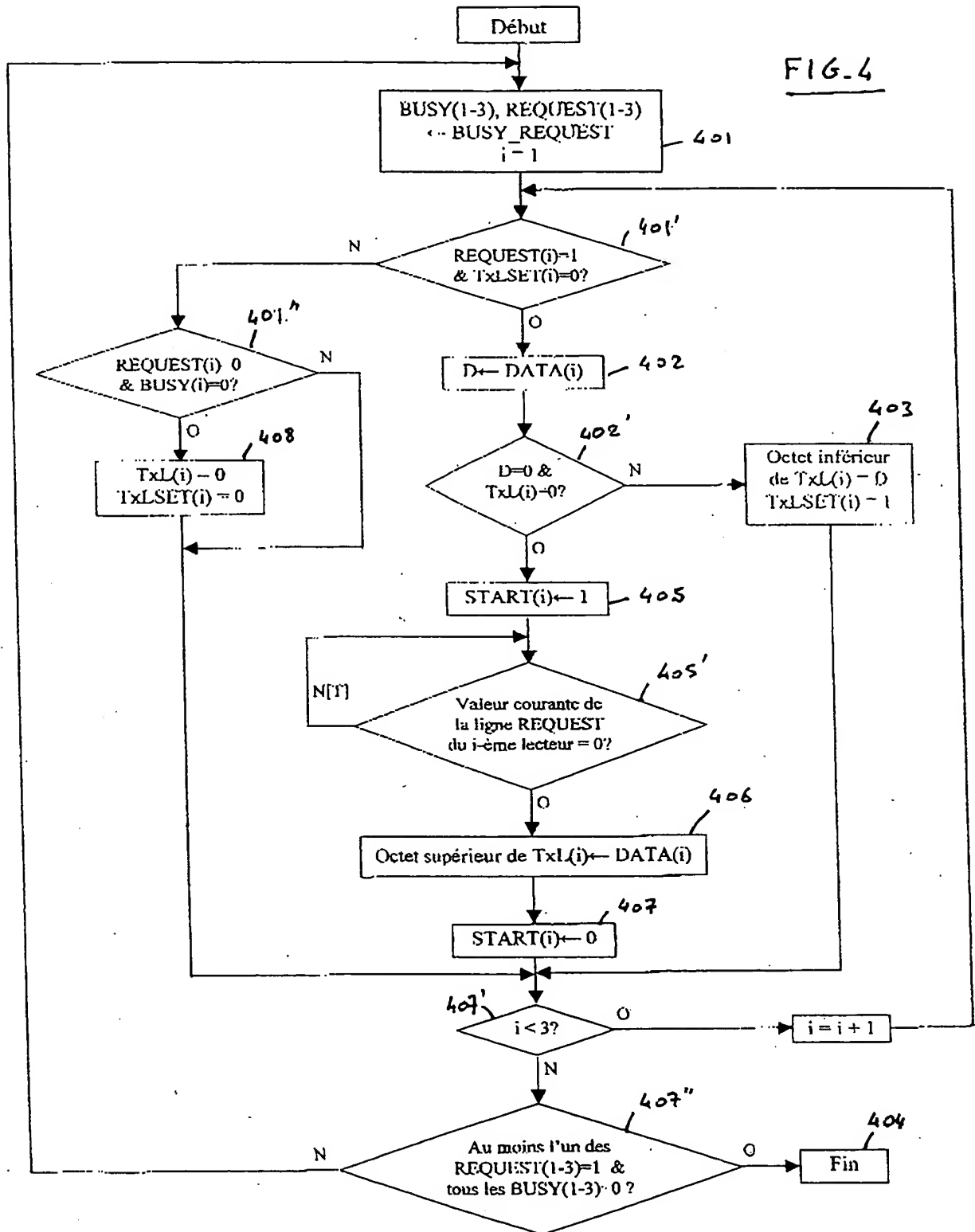
FIG. 2

FIG. 3



4/5

FIG. 4



5/5

